

用于碲锌镉探测器前端读出电路的 SAR ADC 设计

刘永波, 魏廷存, 曾蕙明, 詹思维

(西北工业大学 计算机学院, 陕西 西安 710065)

摘 要: 针对碲锌镉探测器前端读出电路要求低功耗、低噪声、高精度的特点, 设计了一种 12-bit、1Ms/s 的逐次逼近式模数转换器(SAR ADC)。该模数转换器由数模转换器(DAC)和比较器等组成。其中 DAC 采用电荷按比例缩放结构, 利用电荷守恒原理, 提高了缩放电容的匹配精度。比较器采用多级预放大器级联的动态锁存器结构, 采用输出失调校准技术提高了比较器的精度。整个电路采用 TSMC 0.18 μ m 1P6M CMOS 混合工艺进行设计和实现。仿真结果表明, 在 1MHz 的采样率、输入为 97KHz 正弦信号下, SAR ADC 的 DNL 为 $-0.1/0.37$ LSB, INL 为 $-0.44/0.32$ LSB, SNR 为 65.33dB, ENOB 为 10.55bit, 功耗为 1.17mW, 满足了系统的设计要求。

关键词: 碲锌镉探测器; 前端读出电路; 低功耗; SAR ADC; 比较器

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2013)02-0033-05

Design of SAR ADC for Front—End Readout Circuits of CZT Detector

LIU Yong-bo, WEI Ting-cun, ZENG Hui-ming, ZHAN Si-wei

(School of Computer, Northwestern Polytechnical University, Xi'an 710065, China)

Abstract: Based on the low—power, low—noise and high—precision features of front—end readout circuits for CZT detector, a 12—bit, 1Msps successive approximation register analog—to—digital converter (SAR ADC) is designed. The ADC consists of digital—to—analog converter (DAC), comparator, and so on. The DAC is implemented using charge scaling technique and principle of charge conservation, thus the matching accuracy of the scaling capacitor is improved. The comparator is multi—stage pre—amplifier and dynamic latch cascade structure; its offset error is minimized by using output offset calibration technique. The circuit is implemented and simulated in TSMC 0.18 μ m mixed signal CMOS technology. Testing results show that, SAR ADC has $-0.1/0.37$ LSB DNL, $-0.44/0.32$ LSB INL, 65.33dB SNR, 10.55—bit ENOB and 1.17mW power consumption. The performances meet the requirements of the front—end readout circuits.

Key words: CZT detector; front—end readout circuits; low—power; SAR ADC; comparator

1 引言

随着集成电路和半导体材料科学的迅速发展, 辐射探测技术被广泛应用于环境放射性监测、地质勘探、海关检查、空间探测以及生物医学成像等领域。

碲锌镉(CZT)晶体是一种具有优异光电性能的三元固溶体化合物半导体材料, 由于其平均原子序数高, 且具有较大的禁带宽度、较高的电阻率、优异

的载流子传输特性、工作时漏电流和噪声较低等优良特性, 成为当今制备室温核辐射探测器的理想材料^[1]。在碲锌镉探测器的前端读出电路中, 将探测器输出的微弱电信号(电荷或电流)进行低噪声放大、整形和数字化后, 送给后续电路处理。因此, 前端读出电路是一个复杂的模拟/混合信号处理系统, 它包括低噪声前置放大器(Preamp)、脉冲整形放大器(Shaping amplifier)以及模数转换器(Analog—to

收稿日期: 2012-05-21; 修回日期: 2012-06-22

基金项目: 国家重大科学仪器设备开发专项(2011YQ040082)

—Digital Converter, ADC), 如图 1 所示.

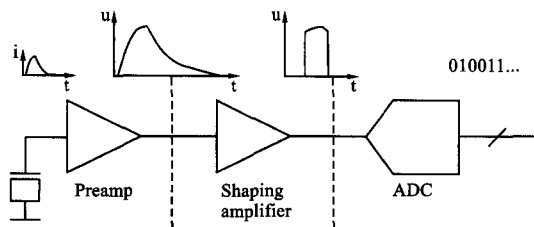


图 1 碲锌镉探测器前端读出电路结构

碲锌镉探测器输出的微弱信号通常为电流脉冲形式,经前置放大器进行幅度放大后,由脉冲整形器进行滤波整形,以便进一步消除噪声以及限制信号宽度,最后由模数转换器将模拟信号进行数字化.模数转换器将前端模拟信号转换为数字信号,是碲锌镉探测器前端读出电路中的关键模块,要满足低功耗、低噪声、高精度的要求.因此,本文研究和设计应用于碲锌镉探测器前端读出电路的逐次逼近型 ADC(SAR ADC).

2 SAR ADC 结构及性能指标

本文设计的 SAR ADC 电路结构如图 2 所示,由 DAC、比较器、逐次逼近寄存器、时序控制逻辑组成. DAC 采用电荷按比例缩放结构,降低了总电容的大小,加快了 DAC 的转换速度,又兼有采样保持电路的功能,达到了减小面积和功耗的目的.比较器采用多级预放大器级联的动态锁存器结构,不仅加快了比较速度,又有效减小了比较器的静态功耗.逐次逼近寄存器由移位寄存器、逐次比较寄存器、三态门和一些基本门电路组成,电路结构简单,减小了信号延迟.时序控制逻辑采用格雷码进行编码,减少了触发器的翻转次数,降低了串扰和功耗.

根据碲锌镉探测器前端读出电路的系统要求,该 ADC 的性能指标是在 16MHz 的时钟频率下,采样速率为 1Ms/s,精度为 12-bit,功耗约为 1.2mW.

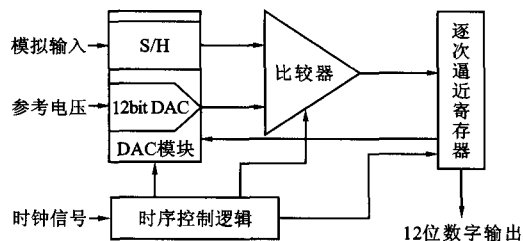


图 2 SAR ADC 的结构框图

3 DAC 模块的实现

3.1 DAC 的电路结构

DAC 采用电荷按比例缩放结构,优点在于功耗

低、精度高,并且兼做采样保持电路,节省面积.由于高权位子 DAC 作为采样保持电路,应增加高权位的位数来减小单位电容的值以减小 DAC 总电容值,并且低权位的位数不宜过大,低权位总电容值的增大一定程度上提高对缩放电容精度的要求^[2-3].因此本文中 DAC 采用 8 位和 4 位的子 DAC 组成电荷按比例缩放的 DAC 结构.但高 8 位与低 4 位之间的缩放电容是非整数倍的单位电容,给 DAC 的电容匹配带来极大的误差,为了提高 DAC 的精度,利用电荷守恒原理将缩放电容换算成单位电容的整数倍.

如图 3 所示,高 8 位和低 4 位的子 DAC 都为二进制权重型阵列,为了使子 DAC 之间也满足二进制权重关系,必须使 $d_3=1$ (其余均为 0) 时的输出电压为 $d_4=1$ (其余均为 0) 时输出电压的 1/2,根据电容的串并联等效可计算出缩放电容 C_2 和补偿电容 C_1 和 C_3 . 两种情况下的等效电路分别如图 4 的 (a)、(b) 所示.

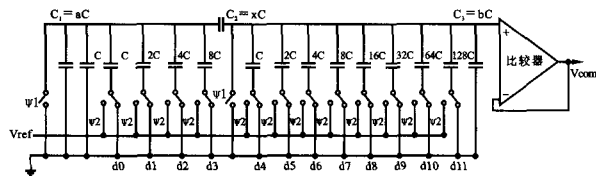


图 3 缩放电容为整数倍单位电容的电路结构

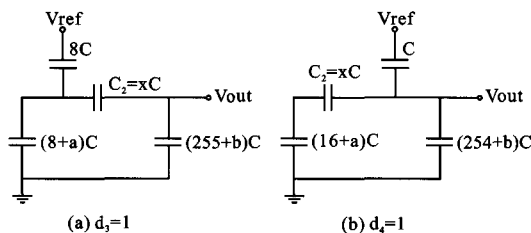


图 4 电容阵列等效电路

由图 4 可得:

$$V_{out}(d_3 = 1) = \frac{8}{(8+a) + 8 + \frac{(255+b)x}{(255+b) + x}} \times \frac{x}{x + (255+b)} \times V_{ref} \quad (1)$$

$$V_{out}(d_4 = 1) = \frac{1}{(254+b) + 1 + \frac{(16+a)x}{(16+a) + x}} \times V_{ref} \quad (2)$$

$$\text{同时有: } V_{out}(d_3) = \frac{1}{2} V_{out}(d_4) \quad (3)$$

将式(1)、式(2)和式(3)联立方程可得:

$$x = \frac{16+a}{15} \quad (4)$$

从式(4)可以看出, x 的大小与 b 无关. 因此, 取 $b = 1$, 此时 DAC 的总电容为单位电容的偶数倍, 可按共质心的结构布局电容的版图, 从而减小电容失配带来的误差. 同时, 为了使 DAC 的总电容不至于太大, 可取 $x = 1, a = -1$ 或 $x = 2, a = 14$ 两种情况. 当 $x = 2$ 时, 低 4 位子 DAC 增加了一个 14 倍单位电容的大电容, 由于低容抗的作用, 抽取了低 4 位子 DAC 开关切换瞬间所产生的大部分电流, 使得较少的电流通过缩放电容流向输出, 有效地减少了毛刺. 而当 $x = 1$ 时, 由于低 4 位子 DAC 没有常接地的电容, 低 4 位子 DAC 开关切换瞬间所产生的大部分电流通过缩放电容流向输出, 大大增加了毛刺. 因此, 本文设计中选 $x = 2, a = 14$.

3.2 DAC 的电路实现

分析了采样保持电路、电荷按比例缩放 DAC 的特点后, 所设计的 DAC 电路结构如图 5 所示.

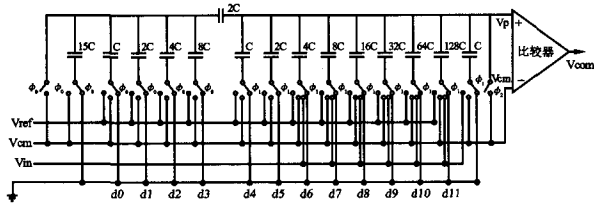


图 5 电荷按比例缩放 DAC 电路图

图 6 所示为 DAC 电路的控制信号波形. DAC 的工作过程如下:

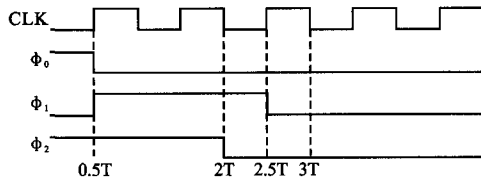


图 6 DAC 控制信号波形

清零阶段(0~0.5T): 此时 ϕ_0, ϕ_2 都为高电平, 所有电容的两端都连接到共模电压 V_{cm} 上, 电路进行清零.

采样阶段(0.5T~2T): 此时 ϕ_1, ϕ_2 都为高电平, V_{in} 接入采样电容, 缩放电容的右极板接 V_{cm} , 而左极板悬空, 所有低 4 位子 DAC 电容的下极板接地. 电路完成对输入信号 V_{in} 的采样, 采样时间为 1.5T.

保持阶段(2T~3T): 在 2T~2.5T 时, ϕ_2 变为低电平, 输出接点悬空保证节点的电荷守恒. 在 2.5T~3T 时, ϕ_1 变为低电平, 将输入电压值 V_{in} 输出到 DAC 的输出节点 V_p .

图 7 所示为采样、保持阶段的等效电路. 由图 7 (a) 可得采样阶段输出端的电荷为:

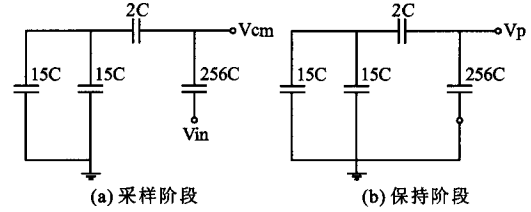


图 7 等效电路

$$Q = 256C(V_{cm} - V_{in}) + V_{cm} \times \frac{2 \times (15 + 15)}{2 + 15 + 15} C \quad (5)$$

由图 7(b) 可得保持阶段输出端的电荷为:

$$Q = V_p(256 + \frac{2 \times (15 + 15)}{2 + 15 + 15}) C \quad (6)$$

由式(5)和式(6)利用电荷守恒原理得到:

$$V_p = V_{cm} - \frac{2048}{2063} V_{in} \quad (7)$$

转换阶段(3T 以后): ϕ_0, ϕ_1, ϕ_2 都为低电平, DAC 的各个开关根据输入的数字值来决定接 V_{ref} 还是接 gnd.

图 8 所示为最高位与最低位转换时的等效电路. 由图 8 的(a)、(b)分别得到:

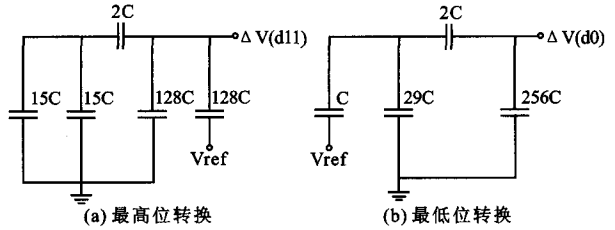


图 8 等效电路

$$\Delta V(d_{11} = 1) = \frac{2048}{2063} \times \frac{1}{2} V_{ref} \quad (8)$$

$$\Delta V(d_0 = 1) = \frac{2048}{2063} \times \frac{1}{2^{12}} V_{ref} \quad (9)$$

最后, 由叠加原理与式(7)可得 DAC 的输出电压 V_p 为:

$$V_p = V_{cm} + \frac{2048}{2063} (-V_{in} + V_{ref} \sum_{i=0}^{11} d_i 2^{i-12}) \quad (10)$$

4 比较器模块实现

4.1 比较器的电路结构

ADC 的电源电压为 3.3V, 其参考电压为 1.6V, 为了能够分辨 1 个 LSB 的输入电压差, 必须采用多级预放大器级联的高速、高精度比较器结构, 同时为减小失调电压的影响要进行失调校准处理. 失调电压的消除方法有输入失调储存(IOS)和输出失调储存(OOS)^[4-6]. IOS 是将失调电压储存在输入耦合电容上, OOS 是将失调电压储存在输出耦合电

容上. IOS 优点是满足大幅度的信号输入,缺点是无法将失调电压彻底校准;OOS 优点是将预放大器每级的失调电压全部消除,缺点是预放大器的增益不能太大. 由于 IOS 的输入耦合电容大小受电荷注入、热噪声等影响要比 OOS 大得多,并且 IOS 的速度相对比较慢. 因此本文采用消除输出失调存储的级联预放大器和动态锁存比较器,每级运放增益都不需太大,比较器结构和时序如图 9、图 10 所示.

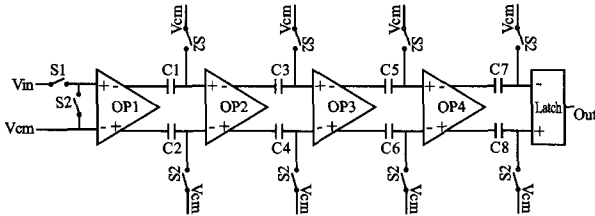


图 9 比较器的电路结构

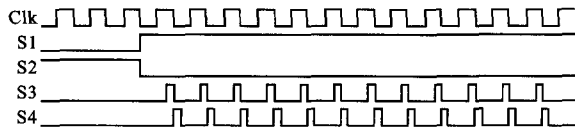


图 10 比较器控制信号波形

比较器工作分为两个阶段:失调校准阶段, S1 为低电平使开关断开, S2 为高电平使开关闭合, 预放大器正负输入端连接在 V_{cm} 上, 这样输出失调电压就存储在电容上; 比较阶段, S1 为高电平使开关闭合, S2 为低电平使开关断开, 比较器开始比较 V_{cm} 和 V_{in} 的大小. 假设 $\Delta Q_1, \Delta Q_2, \Delta Q_3, \Delta Q_4$ 是 S2 为低电平后开关断开注入到电容上的失调电荷量, V_{osL} 为 Latch 的失调电压, 前置放大器的增益分别为 A_1, A_2, A_3, A_4 , 电容 $C1 \sim C8$ 的值都为 C , 则使用输出失调校准技术后, 比较器的残余输入失调电压为:

$$\Delta V_{os} = \frac{\Delta Q_1}{A_1 C} + \frac{\Delta Q_2}{A_1 A_2 C} + \frac{\Delta Q_3}{A_1 A_2 A_3 C} + \frac{\Delta Q_4}{A_1 A_2 A_3 A_4 C} + \frac{V_{osL}}{A_1 A_2 A_3 A_4} \quad (11)$$

因此为了提高比较器精度和减小失调电压的影响, 设计 A_1, A_2, A_3, A_4 的值分别为 10dB、25dB、25dB、25dB.

4.2 比较器的电路实现

预放大器的结构如图 11 所示. 为满足失调校准和响应速度的要求, 第一级放大器要求低噪声、低增益、高带宽, 由于 PMOS 的 $1/f$ 噪声是 NMOS 的 $1/2 \sim 1/5$, 因此采用二极管做负载的 PMOS 共源放大器. 其中 M1、M2 是输入对管, M3、M4 是连接成二极管形式的 NMOS 负载. 输入端 Out+ 与 Out- 之间有复位开关, 在每个比较周期的最初, 复位信号

S4 为高电平控制开关闭合, 将放大器复位, 加快比较速度. 第二、三、四级放大器均采用输入共源共栅和负载带弱正反馈的交叉耦合结构, M6、M7 的宽长比应小于 M5、M8 宽长比. 每级放大器的输出端连接源跟随器, 既可以隔离噪声又能调节后级放大器的直流输入电平.

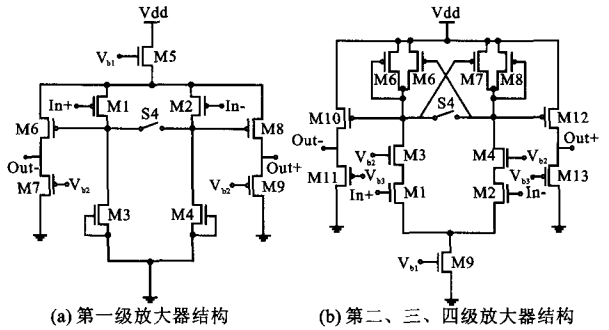


图 11 比较器级联运放电路结构

锁存整形电路的结构如图 12 所示. 锁存阶段, S3 为低电平, 预放大器的输出信号与锁存器接通, 而锁存器与电源、地相连的开关均断开, 同时, 在数字整形电路中, 高电平 θ_1 使得开关管 M9、M14 导通接地, 此时, 低电平 θ_2 分别通过 M6、M7 组成的反相器和 M11、M12 组成的反相器分别到达两个与非门的输入端并置为 1, 使得 RS 触发器保持输出 Out 不变; 整形阶段, S3 为高电平, 预放大器的输出信号与锁存器断开, 而锁存器与电源、地相连的开关接通, 锁存器正反馈使得输出信号与时间正指数变化, 输出电压迅速达到电源电压或者地电位, 满足数字输出的要求. 同时, 在数字整形电路中, 低电平 θ_1 使得开关管 M9、M14 关断, 高电平 θ_2 分别使 M6、M11 关断和 M7、M12 导通, 此时两个与非门的输入端成了由 M5、M8 组成的反相器和 M10、M13 组成的反相器的输出端, 使得 RS 触发器根据输入的变化而变化, 得到正确的输出 Out 并将结果维持一个周期.

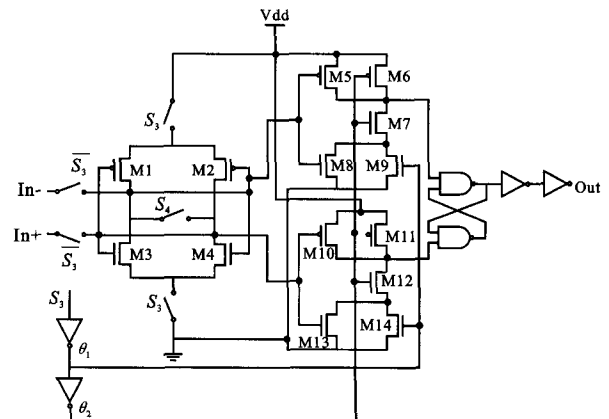
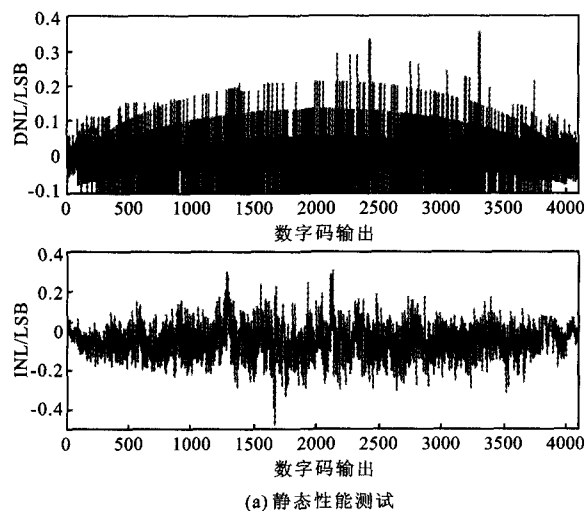


图 12 比较器锁存整形电路结构

5 仿真验证

本 ADC 采用 TSMC 0.18 μm 1P6M CMOS 混合工艺运用 Hspice 工具进行仿真,结果表明,逐次逼近寄存器在初始化之后,最高位先置 1,信号传给 DAC 后产生的电压与比较器进行比较,并将结果传给逐次逼近寄存器来决定最高位是保持 1 还是置 0,并将下一位置 1,这样循环 12 次之后,12 位输出结果确定,在最后一周期将结果并行输出。

仿真采用码密度直方图方式仿真微分非线性



(DNL)和积分非线性(INL)等静态误差,用 FFT 进行频谱分析,仿真信噪比、非杂散动态范围和有效位等动态参数。当采样频率 1MHz,输入正弦波频率为 97KHz 时,对 ADC 的输出进行采样保存后经 Matlab 处理得到 ADC 的静态和动态性能如图 13 所示。其特性为采样 8192 个点时的参数指标。由图(a)可得,DNL 为 $-0.1/0.37\text{LSB}$,INL 为 $-0.44/0.32\text{LSB}$;由图(b)可得,SNR 为 65.33dB,SFDR 为 76.58dB,ENOB 为 10.55bit。此时,ADC 的平均功耗为 1.17mW,满足设计要求。

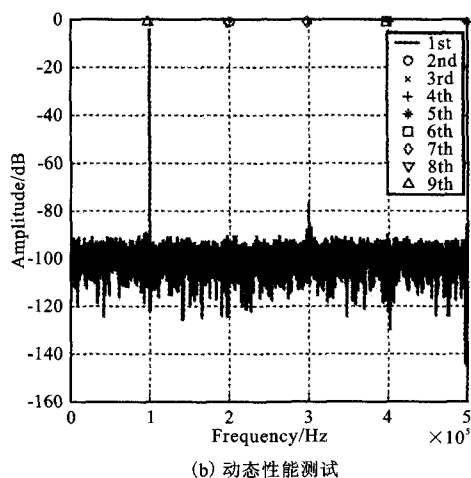


图 13 ADC 整体性能仿真

6 结束语

本文设计了一个用于碲锌镉探测器前端读出电路的 SAR ADC。在分析前端读出电路系统特点的基础上,提出了优化的电荷按比例缩放 DAC、输出失调校准的高速、高精度比较器。仿真结果表明,ADC 在 1MHz 的采样频率下,动态和静态性能良好,满足了低功耗、低噪声、高精度的设计要求。

参考文献:

- [1] 徐亚东. 大尺寸 Cd_{1-x}Zn_xTe 晶体籽晶垂直布里奇曼法生长技术与性能表征[D]. 西安: 西北工业大学, 2006.
- [2] 王娜, 王继安, 尚晓丹. 电荷再分配 DAC 级间耦合电

容值的优化设计[J]. 微电子学, 2006(8): 437—440, 445.

- [3] Allen P E, Holberg D R. CMOS analog circuit design [M]. Beijing: Publishing House of Electronics Industry, 2005.
- [4] Razavi B. Principles of data conversion system design [M]. New York: John Wiley and sons. Inc. 1995.
- [5] Waltari M E, Halonen K A. Circuit techniques for low-voltage and high-speed A/D converters[M]. New York: Kluwer Academic Publishers. 2002.

作者简介:

刘永波 男, (1986—), 硕士研究生. 研究方向为模拟与数模混合集成电路设计。